

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

0/2292-46

04/25/01  
JC978 U.S. PRO  
69/915703

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 :  
Application Number

특허출원 2000년 제 66089 호  
PATENT-2000-0066089

출원년월일 :  
Date of Application

2000년 11월 08일  
NOV 08, 2000

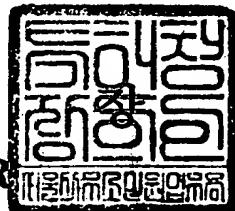
출원인 :  
Applicant(s)

주식회사 세라텍  
CERATECH CORPORATION



2001 년 07 월 10 일

특허청  
COMMISSIONER



【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【제출일자】	2000.11.08	
【발명의 명칭】	표면 실장형 칩 인덕터 제조방법	
【발명의 영문명칭】	METHOD FOR MANUFACTURING SURFACE MOUNTED CHIP INDUCTOR	
【출원인】		
【명칭】	주식회사 쎄라텍	
【출원인코드】	1-1998-002400-5	
【대리인】		
【성명】	서장찬	
【대리인코드】	9-1998-000291-2	
【포괄위임등록번호】	1999-014017-4	
【대리인】		
【성명】	박병석	
【대리인코드】	9-1998-000232-5	
【포괄위임등록번호】	2000-046158-9	
【발명자】		
【성명의 국문표기】	안병준	
【성명의 영문표기】	AHN, Byeung Joon	
【주민등록번호】	580306-1036815	
【우편번호】	135-090	
【주소】	서울특별시 강남구 삼성동 26-27 유림빌라 101호	
【국적】	KR	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 서장찬 (인) 대리인 박병석 (인)	
【수수료】		
【기본출원료】	14	면 29,000 원
【가산출원료】	0	면 0 원

【우선권주장료】	0	건	0	원
【심사청구료】	11	항	461,000	원
【합계】	490,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

{

**【요약서】****【요약】**

본 발명은 전자기기에 이용되는 표면 실장형 칩 인덕터 제조방법에 관한 것으로서, 상기 방법은, 폐라이트 또는 세라믹 분말에 유기 바인더를 혼합하여 원통형의 압출성형체를 형성하는 단계; 상기 성형체의 표면에 금속박막층을 형성하는 단계; 상기 금속층에 나선형으로 코일 패턴을 형성하는 단계, 및; 상기 코일 패턴이 형성된 원통형 성형체를 압출성형기에 삽입하고, 상기 성형체 둘레에 혼합물을 가압 공급하여 각형 성형체를 형성하는 단계를 포함하는 것을 특징으로 한다.

**【대표도】**

도 4

**【색인어】**

인덕터, 폐라이트, 압출성형기, 유기 바인더, 각형 성형체

**【명세서】****【발명의 명칭】**

표면 실장형 칩 인덕터 제조방법{METHOD FOR MANUFACTURING SURFACE MOUNTED CHIP  
INDUCTOR}

**【도면의 간단한 설명】**

도 1은 본 발명의 표면 실장형 칩 인덕터를 제조하는데 사용되는 원통형 페라이트 또는 세라믹 소체(압출성형체)를 나타내는 도면.

도 2는 원통형 페라이트 또는 세라믹 소체의 표면에 금속박막층이 형성된 것을 나타내는 도면.

도 3은 금속층에 코일 패턴이 형성된 것을 나타내는 도면.

도 4는 코일 패턴이 형성된 원통형 성형체를 압출성형기에 삽입하고 상기 원통형 성형체 둘레에 혼합물을 가압 공급하여 형성된 각형 성형체를 나타내는 도면.

도 5는 사각형으로 성형된 페라이트 또는 세라믹 소체를 일정 길이로 절단하여 단일 인덕터를 형성하는 것을 나타내는 도면.

도 6은 절단된 단일 페라이트 또는 세라믹 소체를 소결하고 그 소결체의 양측부에 형성한 외부전극을 나타내는 도면.

**\*도면의 주요 부분에 대한 부호의 설명\***

10 : 페라이트 또는 세라믹 소체 20 : 금속층

30 : 코일 패턴 40 : 각형 성형체

50 : 단일 페라이트 또는 세라믹 소체 60 : 외부 전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 인덕터 제조방법에 관한 것으로서, 보다 상세하게 말하면 전자기기 등에 사용되는 표면 실장형(surface mounted device) 칩 인덕터(chip inductor) 제조방법에 관한 것이다.

<12> 일반적으로, 인덕터는 범용생활가전은 물론 전자 산업기기 등과 같은 각종 전자기기에 다량 사용되고 있다. 최근 각종 전자기기가 소형화, 경량화됨에 따라 이를 구성하는 전자부품 또한 경박단소화(輕薄短小化)되는 추세에 있다. 한편, 디지털 통신의 발전으로 인해 사용주파수가 점차 고주파 영역으로 확대되고 있으며, 이에 상응하여 전자기파 환경의 열화도 더욱 심화되고 있는 실정이다. 또한, 대부분의 전자부품이 제조공정의 자동화를 위해 인쇄 기판상에 표면실장되고, 그러한 표면실장 부품이 각형인 점을 감안할 때 종래의 원통형 인덕터는 표면실장에 어려움이 있다.

<13> 종래의 인덕터는 권선형과 적층형 두 가지로 분류되며, 각 부품의 적용범위 뿐 아니라 그 제조방법 또한 상이하다.

<14> 권선형 인덕터는 자성재료 등의 모재에 코일이 권선되어 있는 형태를 갖는다. 이 경우, 코일간에 부유용량(stray capacity; 도선간의 정전용량)이 발생하므로 고용량의 인덕턴스를 얻기 위해 권선수를 증가시키면 그에 따라 고주파 특성이 열화되는 단점이 있다.

<15> 한편, 적층형 인덕터의 경우에, 모재는 권선형과 동일하나 코일 대신 내부전극이

나선형으로 인쇄된 그린시트(green sheet)를 적층, 가압, 소결한 후 상기 모재의 양측부에 외부전극이 도포되어 인덕터가 형성된다. 적층형 인덕터는 표면 실장되어 회로에서 노이즈 제거용으로 이용되는 칩부품으로서, 대량생산에 매우 적합한 동시에, 내부 전극이 은(Ag)으로 구성되기 때문에 고주파 특성이 우수하다는 장점이 있다. 반면, 전극의 적층수가 제한되므로 인덕턴스에 제한이 있고, 특히 내부전극의 폭이 제한되어 충분한 허용전류를 얻을 수 없다는 단점이 있다. 따라서, 전원용으로 사용하기 어렵고 주로 저전압, 저전류 회로부분으로 제한 사용된다. 이 외에도, 제조공정 자체가 까다롭고 설비비가 많이 소요되는 등의 단점도 있다.

<16> 이러한 문제점을 해결하기 위해 원통형 소체 위에 금속막을 형성하고 트리밍하여 상기 금속막에 코일 패턴을 형성한 인덕터가 제안된 바 있으나, 이는 원통형으로 이루어져 표면실장하는데 어려움이 있다. 한편, 표면실장에 유리한 각형 인덕터의 경우에는 소체 표면의 금속막을 레이저로 트리밍할 경우 비용이 증가하고 가공 시간이 과다하게 소요되며, 레이저 수광량의 변동이 커서 균일한 흄을 형성할 수 없어 전기적인 특성이 저하되는 등 신뢰성을 기본으로 하는 전자부품에 치명적인 결과를 초래하는 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<17> 따라서, 본 발명은 이와 같은 종래의 문제점을 해결하기 위한 것으로서, 각형으로 형성되어 표면실장이 용이한 칩 인덕터 제조 방법을 제공하는 것을 그 목적으로 한다.

<18> 본 발명에 따르면, 표면 실장형 칩 인덕터를 제조하는 방법에 있어서, 페라이트 또는 세라믹 분말에 유기 바인더를 혼합하여 원통형의 압출성형체를 형성하는 단계; 상기 성형체의 표면에 금속박막층을 형성하는 단계; 상기 금속층에 나선형으로 코일 패턴을

형성하는 단계, 및; 상기 코일 패턴이 형성된 원통형 성형체를 압출성형기에 삽입하고, 상기 성형체 둘레에 혼합물을 가압 공급하여 각형 성형체를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<19> 따라서, 본 발명의 표면 실장형 칩 인덕터는, 원통형 소체, 상기 원통형 소체 표면에 형성된 금속층, 상기 금속층 표면에 형성된 나선형 코일 패턴 및, 각형 성형체로 이루어진다.

<20> 또한, 본 발명에서, 상기 원통형 압출성형체를 형성하는데 페라이트를 사용할 경우 상기 페라이트는, 고주파용으로 이용하기에 적합한 Ni-Zn계, Cu-Zn계, 또는 Ni-Cu-Zn계 페라이트인 것을 특징으로 한다.

<21> 또한, 본 발명에서, 상기 유기 바인더는 성형체가 소결될 때 소결 과정에서 소실되는 재료로서, 본 발명에 쓰이는 바인더로는 PVA, PVB, 폴리스티렌, 폴리에틸렌, 폴리아미드, 폴리염화비닐 등이 있다. 물론, 본 발명에 사용될 수 있는 바인더는 상기 기재된 것으로 한정되지 않고, 상기 이외의 것이 이용될 수도 있다.

<22> 또한, 본 발명에서, 상기 금속층은 Ag, Al, Au, Pt, Ni, Cu, Pb, Sn 등이 사용되는 것을 특징으로 한다.

<23> 또한, 본 발명에서, 상기 금속층은 디핑(dipping), 도금 또는 스퍼터링 방법을 이용하여 적당한 두께로 도포되는 것을 특징으로 한다.

<24> 또한, 본 발명에서, 상기 코일 패턴은 레이저 또는 그 밖의 기계적 가공을 이용하여 형성되는 것을 특징으로 한다.

<25> 또한, 본 발명에서, 상기 표면 실장형 칩 인덕터는, 기존에 사용되어 온 표면 장착

기를 이용하여 실장될 수 있도록 각진 형태, 예컨대 사각형으로 형성되는 것을 특징으로 한다.

<26> 또한, 본 발명에서, 상기 원통형 압출성형체 둘레에 공급되어 각형 성형체를 형성하는데 사용되는 혼합물은, 상기 원통형 압출성형체를 형성하는데 사용된 것과 동일한 재료인 것을 특징으로 한다.

<27> 또한, 본 발명에서, 상기 각형으로 변형된 압출 성형체를 일정 길이로 절단하는 단계를 더 포함하는 것을 특징으로 한다.

<28> 또한, 본 발명에서, 상기 절단된 압출 성형체를 소결하고 그 소결체의 양측에 외부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

### 【발명의 구성 및 작용】

<29> 이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예에 따른 표면 실장형 칩 인덕터의 제조방법이 상세히 설명된다.

<30> 도 1은 본 발명의 표면 실장형 칩 인덕터를 제조하는데 사용되는 원통형 세라믹 소체(압출성형체)(10)를 도시한 것이다. 상기 세라믹 소체(10)는 페라이트 또는 세라믹 분말에 유기 바인더가 혼합되어 원통형으로 성형된 것이다.

<31> 또한, 상기 첨가된 유기 바인더는 성형이 완료된 성형체가 소결될 때 소결과정에서 소실되므로, 소결체는 세라믹 또는 페라이트 및 이에 첨가된 각종 첨가물로만 이루어진 고용체(固溶體)를 형성한다. 본 발명에 쓰이는 바인더로는 PVA, PVB, 폴리스티렌, 폴리에틸렌, 폴리아미드, 폴리염화비닐 등이 있다. 물론, 본 발명에 사용될 수 있는 바인더는 상기 기재된 것으로 한정되지 않고, 상기 이외의 것이 이용될 수도 있다.

<32> 도 2는 본 발명에 따라 형성된 원통형 세라믹 소체(10)의 표면에 금속층(20)을 도포한 것을 도시하는 도면이다. 일반적으로, 금속층은 디핑, 도금 또는 스퍼터링(sputtering) 등의 표면처리 공정을 이용하여 도핑이 이루어지는데, 디핑을 이용하면 막의 두께나 형상을 제어하기 어려워지므로, 적당한 두께로 도포하기 위해 상기 금속층(20)은 도금 또는 스퍼터링을 이용하여 도포되는 것이 바람직하다.

<33> 본 실시예에 있어서, 금속층(20)은 Ag, Al, Au, Pt, Ni, Cu, Pb, Sn 또는 이들 원소 중 1종의 원소가 함유된 합금으로 구성되는 것이 바람직하다.

<34> 도 3은 금속층에 레이저를 주사하면서 나선형 홈을 가공하여 소정의 권선수를 갖도록 코일 패턴(30)이 형성된 것을 도시하는 것이다. 나선형 홈의 가공에 이용되는 수단은 특정 수단으로 한정되지 않고, 미세한 홈을 나선형으로 가공할 수 있는 장비라면 어느 것이나 관계없다. 나선형 홈(30)을 가공하는 것은 상기 소체를 일정 속도로 회전시킴과 동시에 전후왕복하면서 가능하다.

<35> 홈의 깊이는 레이저의 주사전력과 주사시간에 의해 결정될 수 있는데, 본 실시예에서 상기 홈(30)은 금속박막층(20) 아래까지 오도록 깊게 형성된다. 또한, 홈(30)의 폭은 레이저의 초점거리를 조정함으로써 쉽게 조절될 수 있고, 홈(30)의 간격은 모재의 왕복 속도에 따라 결정될 수 있다. 그 결과, 원통형 소체상에 소정의 권선수를 가진 코일 패턴을 형성할 수가 있다.

<36> 도 4는 본 발명에 따른 각형 성형체(40)로 형성된 표면 실장형 칩 인더터를 도시하는 것이다. 상기 각형 성형체(40)는, 코일 패턴이 형성된 소체를 압출성형기에 삽입하고 상기 원통형 소체 둘레에 소정의 혼합물을 가압 공급함으로써 형성된다.

<37> 본 실시예에서, 코일 패턴이 형성된 원통형 소체 둘레에 공급되어 각형 성형체(40)를 형성하는데 사용되는 혼합물은 도 1에 도시된 원통형 소체(10)를 형성하는데 사용된 것과 동일하다. 즉, 페라이트 또는 세라믹 분말에 유기 바인더가 혼합된 혼합물이 사용된다.

<38> 또한, 상기 각형 성형체(40)가 사각형으로 이루어져 있지만, 이는 표면실장이 용이한 인덕터를 제공하고자 하는 본 발명 의도에 부합하기만 한다면 사각형 이외의 다른 형태로 이루어질 수도 있다.

<39> 상기 기술된 바와 마찬가지로, 유기 바인더는 성형이 완료된 성형체가 소결될 때 소결과정에서 소실되어, 결과적으로 소결체는 세라믹 또는 페라이트 및 이에 첨가된 각종 첨가물로만 이루어진다.

<40> 도 5는 사각형으로 형성된 세라믹 소체(40)를 일정한 길이로 절단하여 단일 인덕터(50)를 형성하는 것을 도시한다. 상기 절단된 단일 인덕터(50)의 크기는 통상적인 표면 실장형 크기, 예컨대 1608, 2012 등으로 될 수 있다. 이 결과, 상기 단일 인덕터(50)는 기존에 사용해왔던 장착기를 이용하여 적층형 부품과 동일하게 실장될 수 있다.

<41> 도 6은 상기 절단된 단일 세라믹 소체(50)를 소결하고 그 소결체의 양측부에 외부 전극(60)을 형성하는 것을 도시한다. 이와 같이 함으로써, 본 발명에 따른 표면 실장형 칩 인덕터가 얻어질 수 있다.

### 【발명의 효과】

<42> 상기와 같이 본 발명에 의한 방법에 따르면, 코일 패턴이 형성된 원통형 압출성형체가 각형 성형체로 변형되어 표면실장이 용이한 칩 인덕터를 제공할 수 있으므로, 상기

기술된 종래의 권선형 및 적층형 인덕터 제조공정에서 발생되는 문제점을 해결할 수 있다. 즉, 원통형 압출성형체에 레이저 등을 이용하여 코일 패턴을 형성하고 이를 다시 각형으로 제조할 수 있어, 종래의 방법에 따른 각형 인덕터 제조과정에서 야기되는 전기적 인 특성 저하등을 방지할 수 있다. 또한, 제조과정이 단순하고 대량 생산이 유리하여 비용을 낮출 수 있고, 기존에 사용해 온 표면 실장형 장착기를 이용하여 실장할 수 있는 효과를 얻을 수 있다.

**【특허청구범위】****【청구항 1】**

표면 실장형 칩 인덕터 제조 방법에 있어서,  
페라이트 또는 세라믹 분말에 유기 바인더를 혼합하여 원통형의 압출성형체를 형성하는 단계,  
상기 성형체의 표면에 금속박막층을 형성하는 단계,  
상기 금속층에 나선형으로 코일 패턴을 형성하는 단계, 및  
상기 코일 패턴이 형성된 원통형 성형체를 압출성형기에 삽입하고, 상기 성형체 둘  
레에 혼합물을 가압 공급하여 각형 성형체를 형성하는 단계를 포함하는 것을 특징으로  
하는 표면 실장형 칩 인덕터 제조 방법.

**【청구항 2】**

제1항에 있어서, 상기 원통형 압출성형체를 형성하는데 사용된 페라이트는, 고주파  
용으로 이용하기에 적합한 Ni-Zn계, Cu-Zn계, 또는 Ni-Cu-Zn계 페라이트인 것을 특징으  
로 하는 표면 실장형 칩 인덕터 제조 방법.

**【청구항 3】**

제1항에 있어서, 상기 유기 바인더는 성형체가 소결될 때 소결 과정에서 소실되는  
재료인 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

**【청구항 4】**

제1항 또는 제3항에 있어서, 상기 유기 바인더는 PVA, PVB, 폴리스티렌, 폴리에틸

렌, 폴리아미드, 폴리염화비닐 등인 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

#### 【청구항 5】

제1항에 있어서, 상기 금속층은 Ag, Al, Au, Pt, Ni, Cu, Pb, Sn 등인 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

#### 【청구항 6】

제1항에 있어서, 상기 금속층은 디핑, 도금, 또는 스퍼터링 방법을 이용하여 적당한 두께로 도포되는 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

#### 【청구항 7】

제1항에 있어서, 상기 코일 패턴은 레이저 또는 그 밖의 기계적 가공을 이용하여 형성되는 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

#### 【청구항 8】

제1항에 있어서, 상기 표면실장에 유리한 각형 성형체가 사각형인 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

#### 【청구항 9】

제1항에 있어서, 상기 원통형 압출성형체 둘레에 공급되어 각형 성형체를 형성하는데 사용되는 혼합물은, 상기 원통형 압출성형체를 형성하는데 사용된 것과 동일한 재료인 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.

【청구항 10】

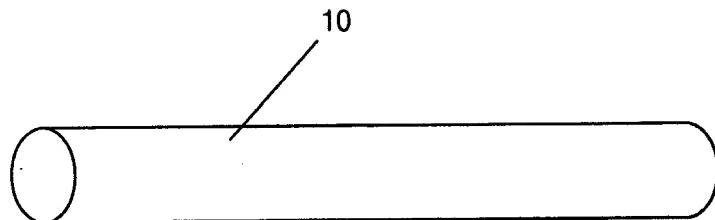
제1항에 있어서, 상기 각형으로 변형된 압출 성형체를 일정 길이로 절단하는 단계를 더 포함하는 것을 특징으로 하는 표면 실장형 칩 인더터 제조 방법.

【청구항 11】

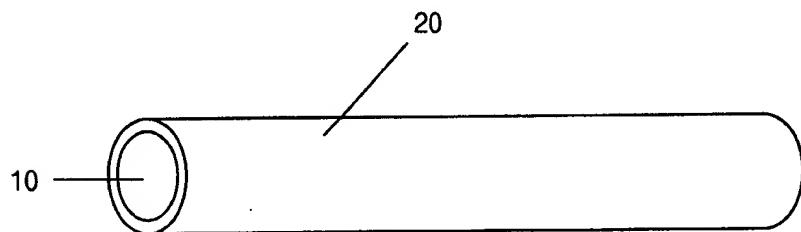
제1항 또는 제10항에 있어서, 상기 절단된 압출 성형체를 소결하고 그 소결체의 양 측에 외부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 인더터 제조 방법.

## 【도면】

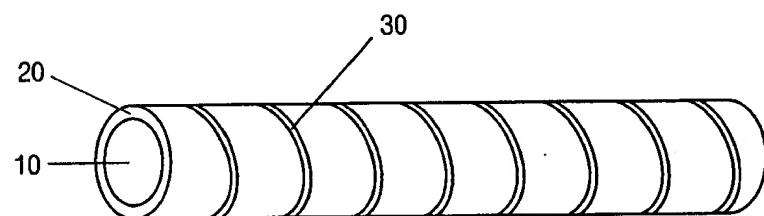
【도 1】



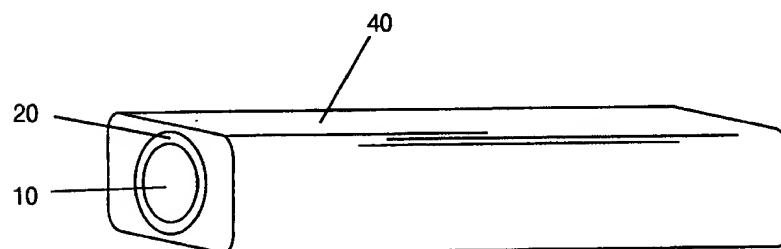
【도 2】



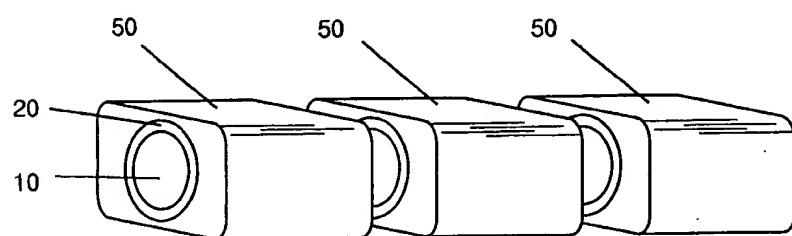
【도 3】



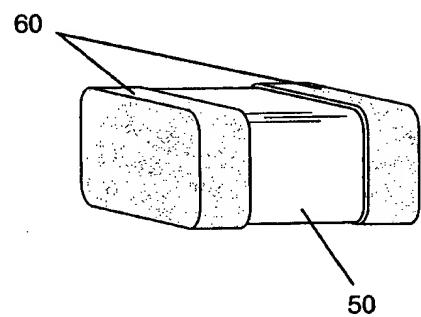
【도 4】



【도 5】



【도 6】



【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2001.06.01
【제출인】	
【명칭】	주식회사 쎄라텍
【출원인코드】	1-1998-002400-5
【사건과의 관계】	출원인
【대리인】	
【성명】	서장찬
【대리인코드】	9-1998-000291-2
【포괄위임등록번호】	1999-014017-4
【대리인】	
【성명】	박병석
【대리인코드】	9-1998-000232-5
【포괄위임등록번호】	2000-046158-9
【사건의 표시】	
【출원번호】	10-2000-0066089
【출원일자】	2000.11.08
【발명의 명칭】	표면 실장형 칩 인더터 제조 방법
【제출원인】	
【접수번호】	1-1-00-0234911-37
【접수일자】	2000.11.08
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상 항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인 서장찬 (인) 대리인 박병석 (인)

1020000066089

출력 일자: 2001/7/11

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【첨부서류】 1. 기타첨부서류\_1통[명세서]

【보정대상항목】 식별번호 22

【보정방법】 정정

【보정내용】

또한, 본 발명에서, 상기 금속층은 Ag, Al, Au, Pt, Ni, Cu, Pd, Sn 등이 사용되는 것을 특징으로 한다.

【보정대상항목】 식별번호 33

【보정방법】 정정

【보정내용】

본 실시예에 있어서, 금속층(20)은 Ag, Al, Au, Pt, Ni, Cu, Pd, Sn 또는 이들 원소 중 1종의 원소가 함유된 합금으로 구성되는 것이 바람직하다.

【보정대상항목】 청구항 5

【보정방법】 정정

【보정내용】

제1항에 있어서, 상기 금속층은 Ag, Al, Au, Pt, Ni, Cu, Pd, Sn 등인 것을 특징으로 하는 표면 실장형 칩 인덕터 제조 방법.